

# FPGA-BASED PACKET GENERATOR

**Jiří Matoušek**

Master Degree Programme (2), FIT BUT

E-mail: xmatou06@stud.fit.vutbr.cz

Supervised by: Pavol Korček

E-mail: ikorcek@fit.vutbr.cz

**Abstract:** Current backbone networks operate at speed of tens of Gb/s. Devices for these networks have to be tested properly at full wire speed. This implies the need for a testing device able to replay and/or generate network traffic at this speed. This paper describes a novel architecture of a high-speed network packet generator based on the NetCOPE platform and the COMBOv2 card. Proposed device is to be implemented in the FPGA chip and it will allow replaying and generating network traffic at full wire speed of two 10 Gb/s network interfaces. As an optional feature, limiting of transmitted traffic based on precise 64-bit timestamps will be included. This will allow users to perform time-critical experiments requiring precisely defined inter-packet delays.

**Keywords:** packet generator, NetCOPE, COMBOv2, 10 Gigabit Ethernet, timestamp

## 1 ÚVOD

Se značným rozvojem využití počítačových sítí v posledních dvou dekadách je pevně spjata také zvyšování přenosové rychlosti v těchto sítích, které následně umožňuje nasazení stále nových aplikací využívajících jejich vysokou propustnost. Tento uzavřený kruh posouvá výzkum a vývoj v oblasti počítačových sítí neustále kupředu a přenosové rychlosti v páteřních spojích tak dosahují v dnešních dnech hodnot desítek Gb/s.

Při vývoji zařízení pro počítačové sítě je podstatnou fází testování jejich schopnosti zpracovávat příchozí síťový provoz. Takové testy se provádějí pomocí přehrávání nebo generování požadovaného síťového provozu na lince vedoucí k testovanému zařízení. Obecně lze tyto úkoly zabezpečit několika způsoby: pomocí softwarových nástrojů, prostřednictvím speciálních hardwarových testovacích zařízení, nebo pomocí karet s FPGA čipem určených do běžných serverových stanic.

První uvedený přístup vyniká svou dostupností, jelikož je možné jej realizovat pomocí volně šiřitelného software (např. `tcpdump` pro zachytávání provozu a `tcpreplay` pro jeho přehrávání). Bohužel však není možné dosáhnout tímto způsobem požadované přenosové rychlosti a navíc nelze garantovat přesný čas odeslání dat [2]. U specializovaných hardwarových zařízení je naopak podporovaná přenosová rychlost jejich hlavní předností. Tomu však odpovídá také jejich cena, která je činí mimo komerční sféru téměř nedostupnými. Zajímavě se proto jeví třetí varianta, která je jakýmsi kompromisem mezi předchozími možnostmi. Díky implementaci úlohy v hardware je umožněno dostatečně rychlé zpracování a přitom je cena karet s FPGA nižší než u specializovaného hardware. Příkladem aplikace tohoto přístupu je generátor paketů implementovaný na platformě NetFPGA [2].

Na posledním uvedeném přístupu je založen také paketový generátor, jehož architekturu popisuje tento článek. Popisovaný generátor je navržen pro rodinu karet COMBOv2 [1] a platformu NetCOPE [3], které jsou krátce představeny v kapitole 2. Vlastní architektura generátoru popsána v kapitole 3 pak umožňuje pehrávání dříve zachyceného nebo generování syntetického síťového provozu na plné rychlosti linky.

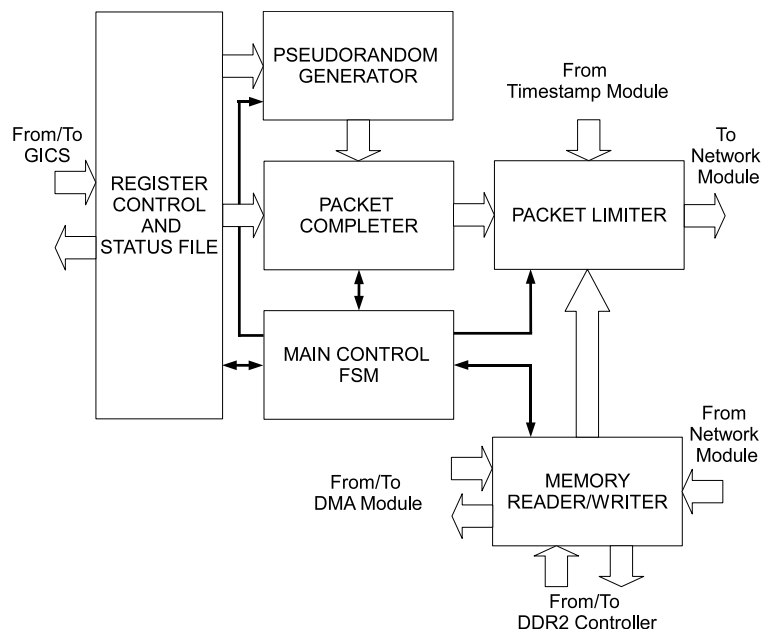
## 2 KARTY COMBOV2 A PLATFORMA NETCOPE

Rodina karet COMBOv2 vychází ze základní karty osazené FPGA čipem Virtex-5 firmy Xilinx. K hostitelské stanici se karta připojuje pomocí rozhraní PCI Express x8. Mimo jiné obsahuje základní karta SODIMM DDR2 konektor pro připojení dynamické paměti. Kromě základní karty patří do rodiny karet COMBOv2 také rozšiřující karty rozhraní (v konfiguracích 2x10 Gb/s nebo 4x1 Gb/s) či karta COMBOL-GPS poskytující přesný hodinový a PPS (*pulse per second*) signál.

Platforma NetCOPE implementovaná na FPGA čipu základní COMBOv2 karty poskytuje vývojáři prostředky pro rychlý vývoj hardwarově akcelerované aplikace. Základ platformy tvoří tři části: generický propojovací systém (*GICS*) [6], DMA modul a síťový modul (*Network Module*) [5]. Kromě těchto základních modulů jsou součástí platformy NetCOPE také další moduly, např. řadič DDR2 paměti (*DDR2 Controller*) a modul časových značek (*Timestamp Module*) [4].

## 3 ARCHITEKTURA GENERÁTORU PAKETŮ

Navržená architektura generátoru paketů pro jedno síťové rozhraní je zobrazena na obrázku 1. V případě paralelního generátoru pro více rozhraní se toto schéma pouze zopakuje pro každé další rozhraní.



**Obrázek 1:** Architektura navrženého generátoru pro jedno síťové rozhraní

Hlavní funkcí navrženého generátoru je generování syntetického IPv4 nebo IPv6 síťového provozu. Požadované parametry vygenerovaného provozu jsou nastaveny v modulu *Register Control and Status File* a na základě těchto hodnot probíhá generování hlaviček paketů i jejich obsahu v rámci bloku *Pseudorandom Generator*. Ten je vystavěn z několika MLFSR (*Multiple Linear Feedback Shift Register*) zajišťujících generování vysoce kvalitních náhodných čísel. Vygenerované hodnoty jsou dle definice IPv4/IPv6 seskládány dohromady v modulu *Packet Completer* a přes *Packet Limiter* dochází k odeslání vygenerovaného paketu do sítě.

Dalším možným módem fungování generátoru je přehrávání dříve zachyceného síťového provozu. Pokud byl tento provoz zachycen pomocí softwarových nástrojů, je nejprve provedeno jeho zapsání do dynamické paměti na kartě COMBOv2. Dynamickou paměť je ale také možné naplnit daty přímo ze vstupního kanálu síťového rozhraní. V obou případech probíhá ukládání dat do dynamické paměti

přes *Memory Reader/Writer*. Tento modul se uplatní také při následném vyčítání dat z paměti, po kterém jsou pakety zaslány přes *Packet Limiter* na výstupní kanál síťového rozhraní.

Posledním podporovaným módem činnosti je fungování jako běžná síťová karta, při kterém je pouze zajištěno propojení odpovídajících si komunikačních kanálů na rozhraních síťového a DMA modulu. K řízení přepínání modulů mezi jednotlivými módy činnosti slouží *Main Control FSM*.

V různých výše popsáných módech fungování generátoru paketů je možné pro modul *Packet Limiter* nastavit různé typy omezení vysílání síťového provozu. Základem je fungování bez omezení, které je přístupné v libovolném módu generátoru. Ve stejných módech je také možné omezit vysílání síťového provozu podle definované hodnoty přenosové rychlosti. Speciálním případem omezení je pak odeslání paketů podle časových značek, které je však přístupné pouze v módu přehrávání dříve zachyceného síťového provozu a to navíc jen v případě, že společně s pakety k odeslání jsou uloženy také časové značky indikující čas, ve kterém mají být data vyslána do sítě.

#### 4 ZÁVĚR

Tento článek představuje architekturu generátoru syntetického IPv4 nebo IPv6 síťového provozu, který je založen na platformě NetCOPE a rodině karet COMBOv2. Kromě generování syntetického provozu umožňuje architektura generátoru také přehrávání dříve zachyceného síťového provozu, který je pro tyto účely uložen do dynamické paměti na základní kartě COMBOv2. Díky hardwarové implementaci a variabilitě karet v rámci rodiny COMBOv2 je možné provádět přehrávání/generování síťového provozu buď pro kombinaci síťových rozhraní 2x10 Gb/s, nebo 4x1 Gb/s, a to vždy na plné rychlosti linky. Další významnou vlastností navrženého generátoru je možnost omezování vysílání síťového provozu buď podle nastavené hodnoty přenosové rychlosti, nebo podle 64bitových časových značek poskytovaných modulem platformy NetCOPE.

#### PODĚKOVÁNÍ

Táto práce vznikla za podpory projektu Výzkum informačních technologií z hlediska bezpečnosti pod označením MSM0021630528 a za podpory projektu specifického výzkumu s označením FIT-S-11-1.

#### REFERENCE

- [1] CESNET z. s. p. o.: Our Hardware | [www.liberouter.org](http://www.liberouter.org). Dostupné online [únor 2011]: <http://www.liberouter.org/hardware.php?flag=U>.
- [2] Covington, G. A.; Gibb, G.; Lockwood, J.; aj.: A Packet Generator on the NetFPGA Platform. In *17th IEEE Symposium on Field Programmable Custom Computing Machines, 2009. FCCM '09, 2009*, s. 235–238.
- [3] Martínek, T.; Košek, M.: NetCOPE: Platform for Rapid Development of Network Applications. In *11th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, 2008. DDECS 2008, 2008*, s. 1–6.
- [4] Martínek, T.; Žádník, M.: Precise Timestamp Generation Module and its Applications in Flow Monitoring. *Technická Zpráva 13, CESNET z. s. p. o., 2009*, dostupné online [únor 2011]: <http://www.cesnet.cz/doc/techzpravy/2009/timestamp-module-flowmon/>.
- [5] Matoušek, J.: Implementace a verifikace vstupních a výstupních síťových bloků. *Bakalářská práce, Brno, FIT VUT v Brně, 2009*.
- [6] Málek, T.; Martínek, T.; Kořenek, J.: GICS: Generic Interconnection System. In *International Conference on Field Programmable Logic and Applications, 2008. FPL 2008, 2008*, s. 263–268.