

THE INFLUENCE OF MDAC RESOLUTION ON BASIC BLOCKS OF PIPELINED AD CONVERTER

Vilém Kledrowetz

Master Degree Programme (2), FEEC BUT
E-mail: xkledr00@stud.feec.vutbr.cz

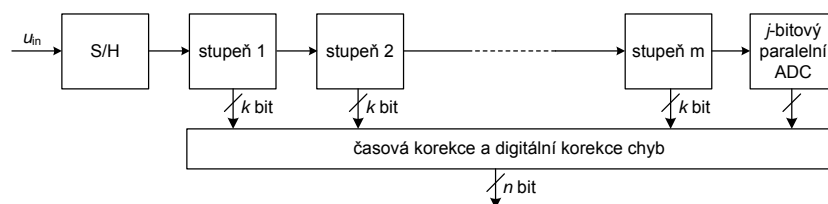
Supervised by: Jiří Háze
E-mail: haze@feec.vutbr.cz

ABSTRACT

This work deals with the influence of MDAC (multiplying DAC) resolution on basic blocks of pipelined AD converter. MDAC was design in 1,5 and 2,5 bits structure using switched capacitor technique in CMOS 0,7 μm technology. Basic blocks of this multiplying DAC are analyzed and compared. Design of next blocks is a part of this work too. Functionality of these circuits has been verified in Cadence.

1 ÚVOD

Řetězový ADC je velmi rozšířený typ převodníku AD pro vzorkovací kmitočty od několika MS/s až do několika stovek MS/s s rozlišením od 8 do 16 bitů. S těmito parametry nachází široké uplatnění v různých aplikacích, například fast Ethernet, xDSL, digitální video (HDTV), CCD imaging, PDA apod.



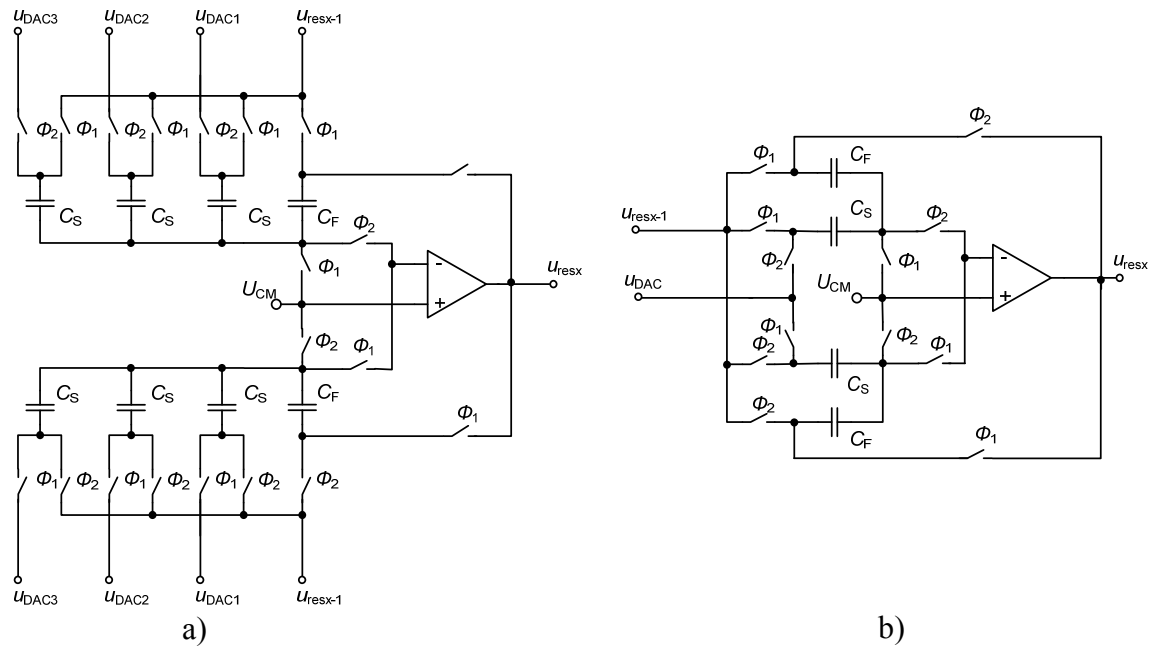
Obrázek 1: Blokové schéma řetězového ADC

Řetězový ADC se skládá z několika stejných stupňů (MDAC), které jsou propojeny kaskádně za sebou. Každý stupeň obsahuje vzorkovací obvod, sub-ADC, sub-DAC rozdílový člen a zesilovač. Tento stupeň bývá realizován nejčastěji v rozlišení 1,5 bitu.

2 OBVOD MDAC

Každý stupeň plní stejnou funkci. Signál je převeden pomocí sub-ADC do binární podoby

a odeslán jako částečný výstup. Mezitím je v sub-DAC převeden zpět do analogové podoby a odečten od původního vstupního signálu. Výsledné residuum (kvantovací chyba) je zesíleno a odesláno do dalšího stupně.



Obrázek 2: Rozdílový člen pro 2,5 bitové MDAC - a) 1,5 bitové MDAC - b)

MDAC může být realizován v různých rozlišeních. V této práci jsou navrženy MDAC ve dvou rozlišeních a jejich vlastnosti a vliv na další bloky jsou zde porovnány. Realizace rozdílového členu v technice SC ukazuje obrázek 2.

3 OSTATNÍ BLOKY ŘETĚZOVÉHO PŘEVODNÍKU

Práce zkoumá vliv rozlišení MDAC na ostatní bloky v řetězovém převodníku, mezi něž patří poslední stupeň, tj. 2-bitový paralelní ADC a obvody pro časovou a digitální korekci.

3.1 2-BITOVÝ PARALELNÍ ADC

Poslední stupeň nepotřebuje generovat residuum a je proto řešen jako 2-bitový paralelní ADC. Skládá se ze tří komparátorů a několika logických členů NAND pro kódování na požadovaný výstupní kód. Je stejný pro obě rozlišení MDAC.

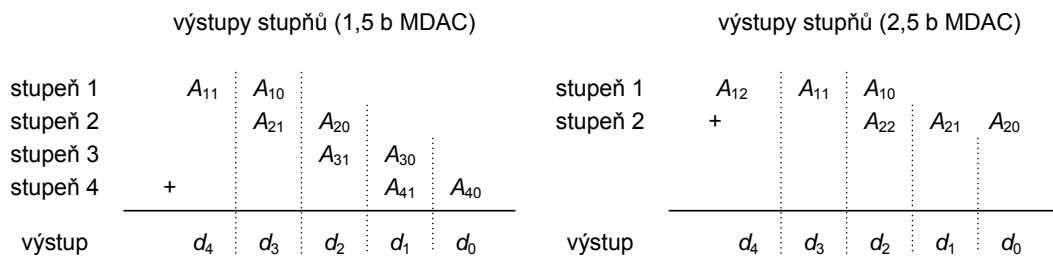
3.2 BLOK ČASOVÉ KOREKCE

Protože MDAC obsahuje obvody, které pracují ve dvou fázích závislých na řídicím hodinovém signálu (komparátor v sub-ADC, S&H, atd.), dochází ke zpoždění signálu na výstupu. Toto zpoždění každého MDAC je úměrné polovině periody řídicího hodinového signálu. Je třeba si rovněž uvědomit, že signál prochází několika MDAC a časová zpoždění se tedy sčítají. Nutno tedy zajistit, aby na výstup, resp. do bloku digitální korekce, přicházely signály, které jsou již časově synchronizované. K tomu slouží blok časové

korekce, který je realizován jako posuvný registr tvořený D klopnými obvody. V práci jsou realizovány řetězové převodníky AD s rozlišením 8 bitů. U převodníku s MDAC o rozlišení 1,5 bitu bude těchto stupňů za sebou 6 a celkové zpoždění bude $3,5 \Phi$. Pro převodník s 2,5 bitovými MDAC to bude 2Φ , kde Φ je perioda řídicího hodinového signálu. K celkovému zpoždění je však třeba ještě připočítat i zpoždění bloku korekce a vstupní S&H.

3.3 BLOK DIGITÁLNÍ KOREKCE (RSD KOREKCE)

Posledním blokem, který je před konečným výstupem řetězového převodníku AD je blok, jenž má za úkol sečíst vždy dva odpovídající signály. Zároveň opravuje chyby offsetu komparátoru v sub-ADC. Princip je znázorněn na 5-ti bitovém převodníku - obrázek 3.



Obrázek 3: Princip bloku digitální korekce

Je vidět jednoduchost realizace korekce pro převodník realizovaný 2,5 bitovými MDAC, avšak korekce je účinná jen pro velmi malou chybu offsetu komparátoru.

4 SHRNU TÍ

V práci byly navrženy dva řetězové převodníky AD s rozlišením základního stupně 1,5 bitu resp. 2,5 bitu v technologii CMOS 0,7 μm . Blok časové korekce byl navržen v jazyce VHDL. Mimo samotné požadavky dílčích částí MDAC má jeho rozlišení především vliv na blok digitální korekce. Uplatňuje se především výhoda vyšší schopnosti korekce offsetu komparátorů v sub-ADC u 1,5 bitových MDAC (v porovnání s 2,5 bitovou strukturou).

LITERATURA

- [1] Allen, P.,E., Holberg, D.,R.: CMOS analog circuit design, second edition, New York, Oxford University Press 2002, ISBN 0-19-511644-5
- [2] Waltari, M.,: Circuit techniques for low-voltage and high-speed A/D converters, Helsinky: University of technology, Electronic circuit desing laboratory, Report 33, Espoo 2002, ISBN 1455-8440