

IMPLEMENTATION OF SOFTWARE DEFINED RADIO INTO FPGA

Petr Šrámek

Master Degree Programme (2), FEEC BUT
E-mail: xsrame06@stud.feec.vutbr.cz

Supervised by: Aleš Prokeš

E-mail: prokes@feec.vutbr.cz

ABSTRACT

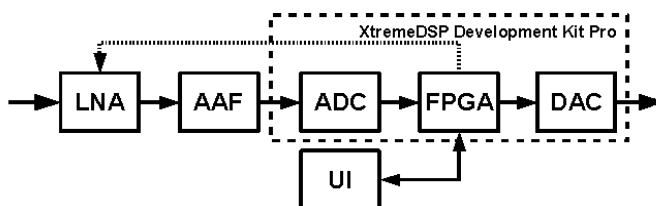
The eventual method of implementation SDR into perspective FPGAs is presented in this paper. Like an effective way of design, simulation and implementation is appearing utilization of user friendly development system with graphic interface like the *SystemGenerator*. Described receiver is experimental design used as a base for more complex systems.

1. ÚVOD

Současný vývoj softwarově definovaných rádií směřuje ke stále širšímu využívání univerzálních prvků jejichž typickými zástupci jsou hradlová pole FPGA přinášející výhodu plné programovatelnosti – funkci lze zcela změnit bez zásahů do hardwaru. Přednosti FPGA dnes již převážily nad nevýhodou složitějšího vývoje aplikace mimo jiné díky uživatelsky přátelským vývojovým prostředím. V příspěvku je popsána implementace jednoduchého softwarového přijímače do FPGA včetně vytvoření doplňujících součástí jako jsou uživatelské rozhraní a vstupní filtr.

2. ROZBOR PRVKŮ PŘIJÍMAČE

Pro realizaci softwarového přijímače byl využit vývojový modul *XtremeDSP Development Kit Pro* [1] od firmy *Nallatech* obsahující hradlové pole *Xilinx Virtex-II Pro*. Tento vývojový přípravek kromě uživatelského hradlového pole obsahuje také dva A/D převodníky a dva D/A převodníky. Blokové schéma systému obsahujícího uvedený vývojový modul včetně doplňujících vnějších součástí přijímače zachycuje obrázek 1. Ze schématu je zřejmé, že se jedná o přijímač realizující digitalizaci signálu ve vysokofrekvenčním pásmu.



Obrázek 1: Blokové schéma realizovaného přijímače

2.1. ANTIALIASINGOVÝ FILTR – AAF A NÍZKOŠUMOVÝ ZESILOVAČ - LNA

Antialiasingový filtr zařazený před A/D převodníkem je nezbytná součást přijímače zajišťující omezení spektra signálu, jenž bude digitalizován. V popisované konstrukci přijímače je filtr navržen na žádané pásmo 87,5 MHz až 108 MHz, jde tedy o pásmovou propust, která je prakticky řešena jako sériová kombinace horní a dolní propusti. Druhým blokem, který při velké úrovni signálu z antény není nutný, je nízkošumový vstupní zesilovač. Výhodou jeho použití je lepší využití dynamiky A/D převodníku, ještě větší efektivitu přinese, když je použit zesilovač jehož zisk je řízen pomocí zpětné vazby z obvodu FPGA. Jako vstupní zesilovač lze využít např. integrované zesilovací bloky od Analog Devices, např. ADL5531, případně AD8369, jehož zisk lze řídit.

2.2. ANALOGOVĚ DIGITÁLNÍ PŘEVODNÍK – ADC A PRINCIP PODVZORKOVÁNÍ

Vývojový modul je osazen dvěma A/D převodníky AD6645 od firmy Analog Device založenými na odečítacím principu. Šířka výstupních vzorků je 14 bitů, v přijímači je zvolen vzorkovací kmitočet 105 MHz, tedy maximální převodníkem dosažitelný.

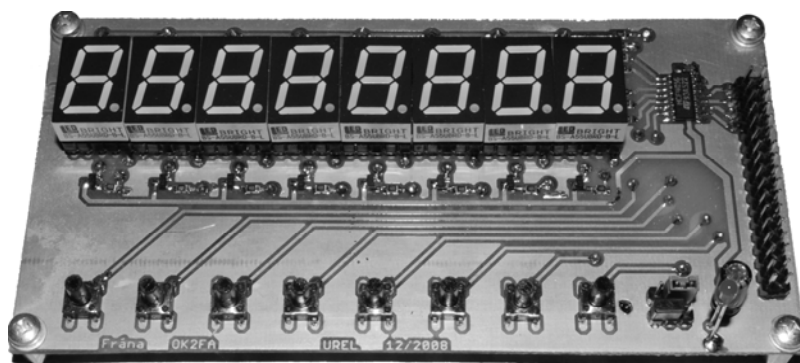
Je zřejmé, že vzorkovací kmitočet není volen optimálně, leží totiž v pásmu přijímaných kmitočtů. Provoz přijímače s tímto vzorkovacím kmitočtem je možný díky principu zvanému podvzorkování. Problémem může být fakt, že část přijímaného pásma je překryta svou zrcadlovou kopií, což v případě nepříznivého rozložení nosných kmitočtů jednotlivých stanic může způsobit aliasing a zhoršení či znemožnění příjmu.

2.3. PROGRAMOVATELNÉ HRADLOVÉ POLE - FPGA

Hradlové pole *Virtex-II Pro* tvoří jádro přijímače, je v něm implementováno vlastní zpracování přijímaného signálu, tedy směšování do základního pásma, několikanásobná filtrace a samozřejmě demodulace. Současně FPGA tvoří řídicí logiku přijímače přímo spojenou s uživatelským rozhraním (UI), jež je představováno hardwarovým ovládacím panelem.

2.4. UŽIVATELSKÉ ROZHRANÍ - UI

Aby bylo možno u přijímače během provozu měnit nastavení kmitočtu, případně zesílení signálu a také zobrazovat různé číselné údaje, byl realizován ovládací panel. Jde o desku plošného spoje obsahující osmimístný numerický displej pracující v multiplexním režimu a osm tlačítek. Pomocí 34žilového plochého kabelu je panel připojen k rozšiřujícímu portu vývojového kitu jenž je přímo spojen s vývody FPGA.



Obrázek 2: Fotografie ovládacího panelu

2.5. DIGITÁLNĚ ANALOGOVÝ PŘEVODNÍK – DAC

Již bylo uvedeno, že použitý vývojový modul obsahuje dva D/A převodníky, jde o AD9772A opět od *Analog Devices*. Tyto převodníky jsou v aplikaci přijímače taktovány na vzorkovací kmitočet shodný s vzorkovacím kmitočtem signálu po kompletním číslicovém zpracování, což je např. 1,05 MHz

3. SOFTWARE PŘIJÍMAČE

Při návrhu softwarové části přijímače je možno postupovat dvěma základními cestami. První, základní, cestou je tvorba softwaru pomocí zápisu VHDL kódu, druhý, mnohem efektivnější a snazší postup je využití některého nástroje umožňujícího návrh pomocí grafického rozhraní. Pro vývoj spojený se simulací a nakonec také implementací uvedeného přijímače bylo využito prostředí *SystemGenerator* [2] dodávané výrobcem FPGA – firmou *Xilinx*. Toto prostředí je koncipováno jako toolbox pro *Matlab Simulink*, obsahuje sadu vlastních bloků a funkcí a při návrhu je možno využít všechny běžné možnosti *Simulinku*. Aritmetika implementovaných bloků pracuje ve formátu fixed point.

3.1. ZPRACOVÁNÍ PŘIJÍMANÉHO SIGNÁLU

Po vstupu digitalizovaného signálu do hradlového pole je provedeno jeho směšování do základního pásma pomocí signálů z komplexního NCO (Numerically Controlled Oscillator) založeného na principu DDS (Direct Digital Synthesis). Tímto procesem jsou získány dva signály – synfázní I a kvadrurní Q, které je dále nutno filtrací zbavit nežádoucích vyšších produktů směšování. Filtrace je prováděna pomocí CIC (Cascaded Integrating Comb) filtrů, které signál také decimují. Pro dosažení dobré kmitočtové charakteristiky je za CIC filtr zařazen ještě FIR filtr s 50 koeficienty. Po číslicové filtraci signálu již následuje demodulátor založený na efektivním algoritmu využívajícím pouze jednoduchých operací násobení a sčítání, zpracování signálu zakončuje další FIR filtr.

3.2. OBSLUHA UŽIVATELSKÉHO ROZHRAŇÍ

V rámci obsluhy uživatelského rozhraní je nutno zobrazovat na displeji např. aktuální nalaďený kmitočet či jiné údaje a současně vzorkovat vstupy připojené k tlačítkům. Funkce tlačítek je především pro změnu kmitočtu, ale také pro nastavení zesílení signálu.

4. ZÁVĚR

Uvedený rádiový přijímač je schopen přijímat rozhlasové vysílání v uvedeném pásmu a je možné jej ladit pomocí uživatelského rozhraní. Přínos přijímače však není jenom v tomto, ale především v otestování využitelnosti nástroje *System Generator* a všech souvisejících softwarových nástrojů pro návrh přijímačů a jejich implementace do FPGA. Navržená struktura slouží jako základ pro vývoj přijímače pro složitější, zejména číslicové modulace.

LITERATURA

- [1] Nallatech. XtremeDSP Development Kit Pro User Guide (December 22, 2004)., [online]
- [2] Xilinx. SystemGenerator for DSP Version 9.1.01 User's Guide (March 19, 2007)., [online]