

AN INTELLIGENT CAMERA

František Gogol

Master Degree Programme (2), FEEC BUT

E-mail: xgogol00@stud.feec.vutbr.cz

Supervised by: Soběslav Valach

E-mail: valach@feec.vutbr.cz

ABSTRACT

An intelligent camera includes a processor, which can extract information from images without the need for an external processing unit, and interface devices used to make the results available to other devices.

This paper describes the intelligent camera design and implementation into the Field Programmable Gate Array (FPGA). The implemented architecture contains a camera controller, a memory controller, an IIC controller, a VGA controller, and an execution unit. The camera controller communicates with a CMOS chip. The memory controller communicates with a DDR SDRAM memory. The IIC controller is the interface between a PLB bus and an IIC bus. The VGA controller takes data from the memory and transform them into the VGA format (640x480, 60 Hz). The execution unit extracts the image data from the memory. These data are processed by hardware pixel by pixel, which results in a modified image. The camera units has been implemented in the VHDL and Verilog languages.

1. ÚVOD

Inteligentní kamerou se rozumí kamera doplněná o řídicí, vyhodnocovací popřípadě komunikační a zobrazovací jednotku, nejčastěji tvořenou jako embedded systém. Data získaná kamerou se ihned požadovaným způsobem zpracují a výstupem je zpracovaný obraz, popřípadě jen informace o sledovaném objektu. Tyto vlastnosti předurčují inteligentní kameru k použití při různých výrobních procesech, kde může plnit funkci automatické kontroly výrobků (např. povrchových vad, chybějících částí), bezkontaktních měření objektů nebo čtení čárových kódů.

2. ROZBOR

Celá platforma je založena na vývojovém kitu ML403 od firmy XILINX jenž je osazen hradlovým polem FPGA řady VIRTEX 4 FX (XC4VFX12), které obsahuje procesorové jádro PowerPC 405, 36 blokových pamětí (BRAM) o velikosti 18 kB, 320 vstupně výstupních pinů, 5472 logických elementů. Detailní popis naleznete v [1] a [3]. Tento kit byl zvolen z důvodů snadné dostupnosti. Pro reálné použití je potřeba navrhnout vlastní modul, který musí obsahovat hradlové pole, DDR SDRAM paměť o minimální velikosti 8 MB s datovou šířkou 32 bit, paměť flash pro konfiguraci FPGA po zapnutí. Propojení kamerové hlavičky a kitu ML 403 je realizováno propojovacím modulem vlastní výroby.

2.1. SNÍMACÍ JEDNOTKA

Jako snímací element je použita kamerová hlavice firmy Micron, která obsahuje CMOS čip MT9V125 s rozlišením 640x480 pixelů se snímací frekvencí 25 snímků za sekundu. Výstupem jsou obrazová data ve formátu RGB 565 v bitové hloubce 5 bitů červená, 6 bitů zelená a 5 bitů modrá barva. Další řídicí signály jsou rovněž přivedeny do funkčního bloku řadiče kamery. Kompletní popis je v [4].

2.2. ARCHITEKTURA

Architektura inteligentní kamery je znázorněna na obrázku 1. Páteřní sběrnici celé architektury je sběrnice typu PLB verze 46, byla vybrána z důvodů dostatečné datové propustnosti jenž činí 800 MB/s při použité datové šířce 64 bit a frekvenci 100 MHz. Ke komunikaci mezi pamětí a některými samostatnými jednotkami byla použita sběrnice XCL z důvodů menší komunikační režie, ale s dostačující přenosovou rychlostí 400 MB/s. Dále byla použita sběrnice typu DCR, která obsluhuje řadič VGA a byla zvolena z důvodů nízké náročnosti na systémové zdroje.

Řadič kamery obstarává komunikaci se snímací jednotkou. Do snímací jednotky je potřeba vysílat hodinový signál s frekvencí 25 MHz. Kamerový senzor vysílá nejprve posloupnost lichých a pak sudých řádků snímku, proto je nutné je přeskládat. Přijímaná data přes paralelní rozhraní jsou ukládána do zásobníku FIFO. Při dostatečném naplnění zásobníku jsou vyčítána, vhodně uspořádá do paketů a přes sběrnici XCL v 32 bajtových paketech zapisována do paměti. Při tomto řešení je dosaženo snížení datového toku, o adresovou režii, než kdyby se zapisoval každý pixel samostatně. Ovládání řadiče je přes sběrnici PLB, takto lze nastavit cílovou adresu ukládání dat, spustit nebo zastavit přenos dat.

Kamerový senzor vyžaduje inicializaci a konfiguraci, která probíhá přes standardní IIC rozhraní. Za tímto účelem je do architektury zakomponován IIC řadič, který slouží jako interface mezi oběma sběrnici. Rychlost IIC sběrnice byla zvolena 400 kHz.

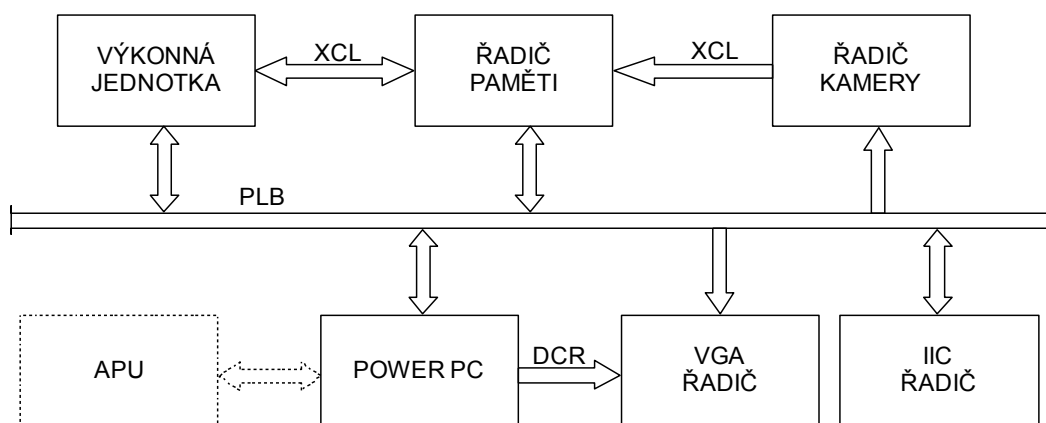
Ke komunikaci s DDR SDRAM pamětí slouží řadič paměti. Je využito standardní komponenty jež je součástí vývojového prostředí EDK. Na desce je použita paměť o velikosti 64 MB což je plně dostačující pro uložení obrazových dat a (jeden snímek zabírá 0,9 MB paměti).

Pro zobrazení zpracovaných dat slouží VGA řadič, který čte přes sběrnici PLB data z paměti. Jeho výstupem je VGA rozhraní s rozlišením 640x480 pixelů se snímkovou frekvencí 60 Hz, k němuž je možno připojit standardní monitor. Při tomto rozlišení je vyžadován datový tok na sběrnici PLB 55 MB/s, což sběrnice s velkou rezervou poskytuje. Ovládání řadiče je umožněno přes rozhraní DCR, tím lze nastavit, která oblast v paměti je čtena a zobrazena.

Výkonná jednotka zajišťuje požadované operace s obrazem, což jsou např. filtrace, konvoluční filtry a jiné operace nad obrazem. Při filtraci jsou data z paměti postupně vyčítána, je nad nimi pixel po pixelu provedena matematická operace a poté jsou zapsána do paměti. Dále je možno provádět operace nad obrazem přičtení nebo odečtení offsetu a to jak ke všem nebo jen k určitým barevným složkám obrazu, vynásobení obrazu nebo sečtení původního a filtrovaného obrazu. Při použitím čipu je potřeba zpracovávat obrazové body minimálně s rychlostí 7,7 MHz. Data jsou z paměti vyčítána i zapisována v 64 bajtových paketech při komunikaci přes sběrnici XCL, tudíž je nutné použití jak vstupního tak i výstupního bufferu. Čtení i zápis obrazových dat může probíhat přes sběrnici PLB nebo XCL v závislosti na zvolené operaci, konfigurace výkonné jednotky jen přes sběrnici PLB.

Dále na sběrnici PLB je připojeno procesorové jádro Power PC 405. Detailní popis naleznete v [2]. Toto jádro je zatím využíváno pro jednoduché výpočty a pro řízení kamery. K tomuto jádru je možno připojit APU(Auxiliary Processor Unit). Jedná se o pomocnou výpočetní jednotku, která slouží pro akceleraci výpočtů, definici nových instrukcí nebo třídy operací (matematický koprocessor). V architektuře zatím nebyla implementována, ale pracuje se na její implementaci.

Jako zdroj hodinového signálu je použit oscilátor generující signál s frekvencí 100 MHz. Tento signál vstupuje do DCM bloku. Jeho výstupem je signál 100 MHz, na kterém pracují veškeré vnitřní sběrnice a funkční bloky kamery a dále je generován signál 25 MHz, který je určen pro VGA řadič a také je využit jako zdroj hodinového signálu pro snímací jednotku. Poslední generovanou skupinou signálů jsou hodiny s frekvencí 200 MHz a 100 MHz ale o 90 stupňů posunuté, které slouží pro řízení DDR SDRAM paměti.



Obrázek 1: Architektura inteligentní kamery

3. ZÁVĚR

V rámci této práce byla navržena a odzkoušena jednoduchá architektura inteligentní kamery vytvořená v hradlovém poli VIRTEX 4 (XC4VFX12), navržen a realizován propojovací modul. Jednotlivé komponenty byly napsány a simulovány v jazyku VHDL a Verilog. Rozšířením práce je snaha implementovat pomocnou výpočetní jednotku APU, která by zvýšila možnosti zpracování obrazových dat a umožnila implementovat nové funkce. Bude-li jednotka implementována je nutné již použít desku s větším hradlovým polem XC4VFX20. Dále je snaha o naprogramování komponent v jazyce impulse C [5].

LITERATURA

- [1] XILINX. *ML403 User Guide*, dokument dostupný na: <http://www.xilinx.com/bvdocs/userguides/ug080.pdf>
- [2] XILINX. *PowerPC Processor Reference Guide*, dokument dostupný na: http://www.xilinx.com/support/documentation/user_guides/ug011.pdf
- [3] XILINX. *Virtex-4 User Guide*, dokument dostupný na: http://www.xilinx.com/support/documentation/user_guides/ug070.pdf
- [4] MICRON. *MT9V125: SOC VGA Digital Image Sensor*
- [5] IMPULSE. *CoDeveloper User Guide version 3.0*