

DESIGN OF SIGMA-DELTA AD CONVERTER MADE BY SWITCHED CAPACITOR TECHNIQUE

Jiří Forejtek

Master Degree Programme(2), FEEC BUT

E-mail: xforej01@stud.feec.vutbr.cz

Supervised by: Jiří Háze

E-mail: haze@feec.vutbr.cz

ABSTRACT

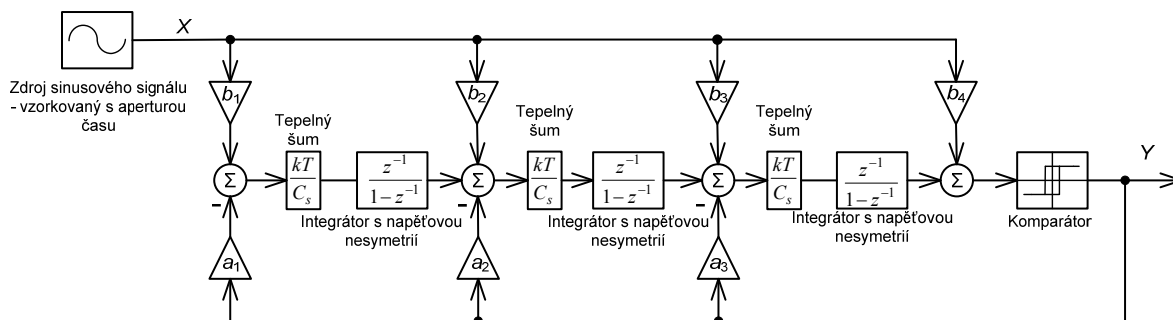
The work deals with design of third order sigma-delta modulator and digital decimation filter. The architecture of third order sigma-delta modulator and digital decimation filter was simulated in Matlab Simulink. Important stages of modulator were designed in CMOS technology on transistor level. Fully differential switched capacitor integrator, summing amplifier, comparator and one bit DA converter were designed.

1. ÚVOD

Analogově číslicové převodníky (ADC – Analog-to-Digital Converter) typu $\Sigma\Delta$ ($\Sigma\Delta$ - Sigma-Delta) patří mezi převodníky s nejvyšším rozlišením, nejčastěji 16-20 bitů. ADC $\Sigma\Delta$ je složen ze dvou základních částí. Je to modulátor $\Sigma\Delta$ a digitální decimační filtr. Modulátor $\Sigma\Delta$ slouží k tzv. tvarování šumu (angl. Noise Shaping). Digitální decimační filtr je typu dolní propust. Z modulovaného signálu odstraňuje vysoké kmitočty, na kterých je přenašen šum. Tento proces se nazývá převzorkování (angl. Oversampling).

2. MODULÁTOR $\Sigma\Delta$ 3. ŘÁDU

Modulátor $\Sigma\Delta$ 3.řádu je realizován strukturou CIDIDF (Cascaded Integrator with Distributed Input and Distributed Feedback) [1] – obr. 1. Výhodou této struktury je realizace signálové přenosové funkce STF a šumové přenosové funkce NTF nezávisle na sobě.

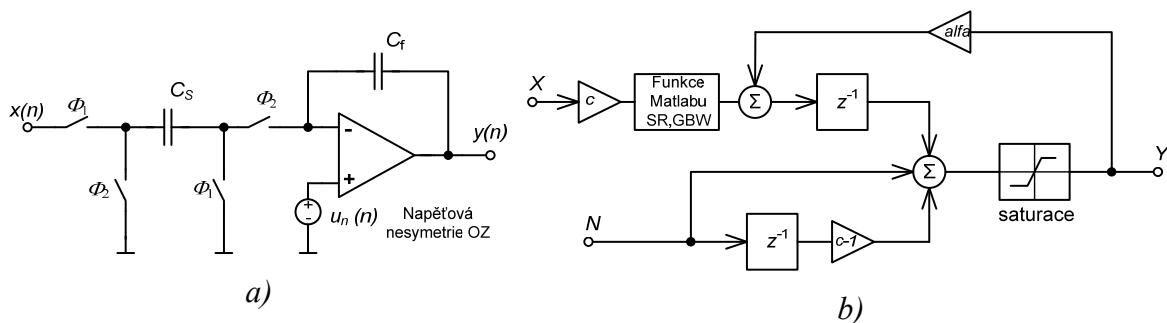


Obrázek 1: Model modulátoru $\Sigma\Delta$ 3. řádu v prostředí Matlab Simulink

Tyto dvě funkce určují výsledné vlastnosti modulátoru. Před vlastní simulací bylo nutné vyjádřit koeficienty modulátoru a, b, c . Modelovaná struktura zahrnuje v simulacích vliv tepelného šumu vznikajícího v obvodech SC (Switched Capacitor), mezní doby přeběhu OZ (OZ – operační zesilovač), konečného zesílení OZ, stejnosměrného zesílení OZ a vliv vstupní napěťové nesymetrie OZ. Aby bylo možné simulovat napěťovou nesymetrii OZ, bylo nutné vytvořit vlastní model integrátoru, který uvažuje vliv napěťové nesymetrie a dalších reálných vlastností OZ. Model vychází ze zapojení integrátoru SC se zpožděním (obr. 2a). Výstupní napětí integrátoru je popsáno rovnicí

$$y(n) = y(n-1) - u_n(n-1) + c[x(n-1) + u_n(n-1)] + u_n(n), \quad (1)$$

kde $c = C_s/C_f$ je koeficient integrátoru. Odpovídající model integrátoru v programu Matlab Simulink je uveden na obr. 2b.



Obrázek 2: a) Integrátor se zpožděním využívající techniku SC b) Model integrátoru s napěťovou nesymetrií OZ

Největší vliv na pokles odstup signálu od šumu SNR a tedy i na efektivní počet bitů ENOB má právě napěťová nesymetrie OZ – viz tab.1

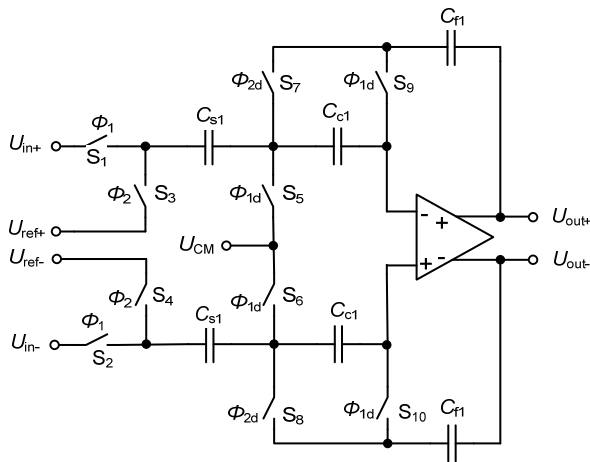
		SNR [dB]	ENOB [bitů]
Ideální model		83.5	13.58
Vstupní napěťová nesymetrie OZ	5 mV	47.8	7.64
	1 mV	61.7	9.96
	0,1 mV	80.0	13.00

Tabulka 1: Vliv napěťové nesymetrie OZ na SNR

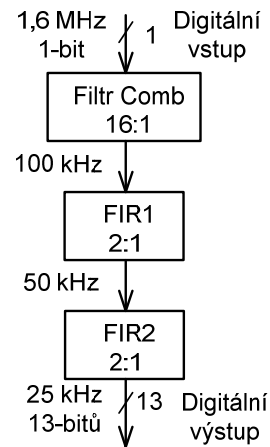
3. NÁVRH INTEGRÁTORU V TECHNICE SC

Architektura modulátoru je navržena kompletně v plně diferenčním zapojení, protože plně diferenční zapojení dobře kompenzuje nedostatky techniky SC, převážně pronikání řídicího hodinového signálu ze spínačů MOS a injekci náboje. Jednou z nejdůležitějších částí modulátoru $\Sigma\Delta$ je integrátor. Schéma navrženého integrátoru je na obr. 3. Obvod integruje rozdíl vstupního a referenčního napětí $U_{in} - U_{ref}$ s integrační konstantou $c_1 = C_{s1}/C_{f1}$. V první fázi spínání Φ_1 se nabíjí vzorkovací kapacitor C_{s1} na hodnotu vstupního napětí. Zároveň jsou sepnuty spínače S_5, S_6 a S_9, S_{10} a kompenzační kapacitor C_{c1} se nabíjí na hodnotu napětí vstupní napěťové nesymetrie OZ. Ve fázi spínání Φ_2 je od vstupního napětí, které je navzorkováno v kapacitoru C_{s1} , odečteno referenční napětí U_{ref} a také hodnota napětí vstupní napěťové nesymetrie OZ a výsledné napětí se objeví na výstupu U_{out} . Kapacity pro kompenzaci vstupní napěťové nesymetrie C_{c1} mají stejnou velikost jako vzorkovací kapa-

cityory C_{s1} . Ke kompenzaci pronikání řídicího hodinového signálu je použito plně diferenční zapojení integrátoru, které je doplněno o techniku vzorkování spodní elektrody, tzv. „Bottom Plate Sampling“ [3]. Pro plně diferenční OZ byla vybrána a simulována struktura složené kaskody [2], která má dostatečně velký zisk i mezní kmitočet.



Obrázek 3: Schéma integrátoru SC s kompenzací napěťové nesymetrie OZ



Obrázek 4: Blokové schéma digitálního decimačního filtru

4. DIGITÁLNÍ DECIMAČNÍ FILTR

Digitální decimační filtr je složen z filtru comb a dvou filtrů FIR (obr.4). Filtr comb je filtr FIR, který má všechny koeficienty rovny jedné. Proto při realizaci tohoto filtru nejsou zapotřebí násobičky. Filtr comb výrazně sníží počet vzorků na jeho výstupu a to umožní snížení řádu následujících filtrů FIR. Další snížení řádu filtru je možné provést rozdělením jednoho FIR filtru na dva. Navržený filtr FIR1 je 16. řádu, filtr FIR2 je 112. řádu. Kdyby tyto dva filtry byly realizovány jako jeden celek, řád výsledného filtru by byl 224. Takový filtr by ve výsledku obsahoval mnohonásobně více hradel a to by bylo nevýhodné.

5. ZÁVĚR

Převodník $\Sigma\Delta$ je navržen pro základní vzorkovací kmitočet 1,6 MHz. Digitální decimační filtr a modulátor $\Sigma\Delta$ 3.řádu pracuje s koeficientem převzorkování $OSR = 64$. To umožňuje zpracovávat signály o kmitočtech do 10 kHz. Díky kompenzaci napěťové nesymetrie OZ v obvodu integrátoru SC je dosaženo ENOB 13 bitů.

LITERATURA

- [1] BOURDOPOULOS, G. I., PNEVMATIKAKIS, A., ANASTASSOPOULOS, V., DELIYANNIS, T. L. *Delta-Sigma Modulators: Modeling, Design and Applications*. Imperial College Press, 2003, ISBN 1-86094-369
- [2] BAKER, R.J., Li, H.W., BOYCE, D.E. *CMOS Circuit design, Layout, and Simulation*, IEEE Press Marketing, 1998, 902 pages. ISBN 0-7803-3416-7
- [3] WALTARI, M., *Circuit Techniques for Low-Voltage and High-Speed A/D Converters*, Helsinki University of Technology, 2002