

HARDWARE ACCELERATION OF PACKET ANALYSIS AND HEADER FIELD EXTRACTION

Libor Polčák

Bachelor Degree Programme (3), FIT BUT

E-mail: xpolca03@stud.fit.vutbr.cz

Supervised by: Jan Kořenek

E-mail: korenek@fit.vutbr.cz

ABSTRACT

This paper deals with packet analysis and processing for high speed networks using FPGA. We propose new model of the analysis and hardware architecture. This architecture is able to process multiple bytes within one clock cycle and more than one protocol header simultaneously.

1 ÚVOD

Síťové technologie zaznamenaly v posledních letech velký rozvoj. Přenosová kapacita se stále zvyšuje a ve větších sítích se již setkáváme s rychlostí 10 Gb/s nebo i vyšší. Od síťových zařízení je vyžadováno, aby si s těmito rychlostmi dokázala poradit. Dosažení tohoto cíle není úplně snadné a výkonově kritické operace se začínají přesouvat do aplikačně specifických obvodů nebo programovatelných hradlových polí (FPGA). Výhodou technologie FPGA je její vysoká flexibilita dosahovaná pomocí rekonfigurace, někdy dokonce dynamické.

V síťovém provozu se můžeme setkat s různými druhy zařízení. Mezi ty s nejvyššími nároky na vysoký výkon patří směrovače, monitorovací a bezpečnostní systémy apod. Jednou z nejdůležitějších činností těchto síťových prvků je rychlá analýza dat v hlavičkách paketů a extrakce důležitých dat pro jejich další zpracování. Tyto řídicí informace jsou závislé na konkrétní aplikaci. Například pro směrování jsou důležité zdrojové a cílové adresy, pro monitorování sítě statistické informace o paketu, zdrojové a cílové adresy, použité protokoly atd.

V současnosti existuje několik přístupů jak tento problém řešit [1, 2]. Tato řešení jsou však vhodná pro sítě s rychlostí do 1,5 Gb/s. Pokud bychom je chtěli použít v rychlejších sítích, museli bychom umístit více těchto jednotek paralelně vedle sebe. Navíc je potřeba před jednotky a za jednotky umístit pomocné jednotky, které umí datový tok rozdělovat a spojovat. Pomocné jednotky obsahují buffery, takže jsou náročné na zdroje. Navíc jejich složitost roste s počtem toků, které je potřeba kvůli analýze paketů a extrakci důležitých dat vytvořit. U některých síťových aplikací může být důležité zachování pořadí paketů, aby k tomuto jevu nedocházelo, musí být pomocné jednotky složitější a spotřebovávat více zdrojů.

Návrh jednotky umožňující zpracování na vyšších rychlostech, bez více násobného použití stejných jednotek, je popsán v sekci 3.

2 ÚLOHA EXTRAKCE HLAVIČEK

Obecně si řešený problém můžeme definovat tak, že na vstupu máme n bajtů, ze kterých potřebujeme vybrat m bajtů. Vybírat si můžeme po jednotlivých bajtech. Vstup je přiváděn paralelně ve slovech o délce k bajtů. Výstup je řešen obdobně. Jako vstupní i výstupní protokol bude využit FrameLink, používaný v rámci projektu Liberouter [3], nebo LocalLink.

Na výstupu jednotky by měla být kopie vstupních dat a proud extrahovaných položek, kde každá položka je označená jednoznačným identifikátorem.

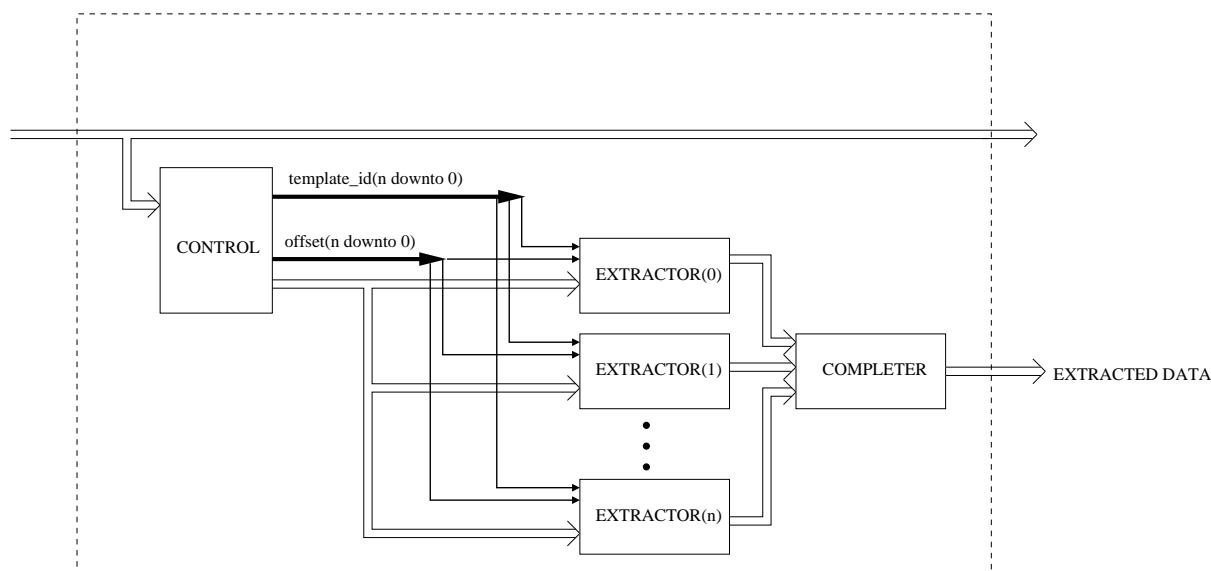
3 NÁVRH ARCHITEKTURY JEDNOTKY

Propustnost jednotky t závisí přímo úměrně na počtu bajtů n , které zpracujeme v jednom hodinovém cyklu, a na frekvenci f , s jakou tuto akci provádíme. Platí tedy vzorec 1.

$$t = n \cdot f \quad (1)$$

Řešení popisované v [1] i [2] pracují s datovými šířkami slova 2–4 bajty. To znamená, že v jednom hodinovém cyklu zpracují maximálně 2, případně 4 bajty. Protože potřebujeme pracovat s frekvencí 100, 125 nebo 156,25 MHz, lze snadno spočítat, že tato řešení nevyhovují. V závislosti na požadované propustnosti a zvolené frekvenci musí jednotka zpracovávat v jednom hodinovém cyklu datové slovo o šířce 8 bajtů a více.

Jednotka musí podporovat i protokoly s hlavičkami kratšími než je minimální délka slova. Například pro protokol MPLS je minimální délka hlavičky 32 bitů. Také se může stát, že přechod mezi hlavičkami protokolů se nachází v rámci slova. Proto je potřeba najednou zpracovávat hlavičky více protokolů. Při návrhu jednotky je potřeba s tímto problémem počítat. Pokud by jednotka nebyla schopna zpracovávat v jednom hodinovém cyklu všechny protokoly obsažené v aktuálním slově, snižovala by se propustnost jednotky.



Obrázek 1: Návrh jednotky

Návrh jednotky na obrázku 1 počítá s dekompozicí problému do tří spolupracujících komponent:

Control bude mít na starosti analýzu vstupních dat. Na základě této analýzy identifikuje začátek každé hlavičky podporovaného protokolu a tuto informaci pošle komponentě *extractor* společně s identifikátorem protokolu. Na obrázku 1 je posunutí hlavičky označeno jako *offset* a identifikace protokolu jako *template_id*.

Extractor bude mít na svém vstupu přerovnávací obvod, který vstupní data zarovná na začátek slova. Usnadní se tím další zpracování hlavičky, které takto může být nezávislé na konkrétním umístění začátku hlavičky v původním slově.

Data budou vybírána na základě šablony uložené v paměti komponenty na adrese určené pomocí *template_id*, kde se bude nacházet konfigurace pro daný protokol. Budou zde informace o tom, které bajty se mají extrahovat na výstup a jaký identifikátor se jim má přiřadit. Tuto konfiguraci bude možno za běhu přepsat a upravit tak chování komponenty aktuálními potřebám uživatele, nebo aplikace.

Aby bylo možné zajistit zpracování všech protokolů vyskytujících se ve vstupním slově celé jednotky, je nutné mít k dispozici více jednotek *extractor*. Jejich počet odpovídá maximálnímu počtu hlaviček protokolů v jednom slově.

Completer bude spojovat výstupy všech komponent *extractor* tak, aby všechna data pro jeden síťový rámec tvořila jeden celek.

4 ZÁVĚR

Byl definován model analýzy informací obsažených v hlavičkách síťových protokolů, na jehož základě byl předložen návrh architektury jednotky umožňující zpracování paketů a extrakci dat z hlaviček obsažených protokolů. Navržená architektura umožňuje v každém hodinovém cyklu zpracovávat více bajtů dat, což umožňuje použít navržené řešení pro sítě s rychlostí 10 Gb/s a více. Díky dekompozici jednotky na dílčí části je možné zpracovávat více hlaviček současně a není nutné pozastavovat vstup. Návrh jednotky dává možnost změny extrahovaných položek za běhu.

PODĚKOVÁNÍ

Tento příspěvek vznikl za podpory grantu výzkumného záměru MSM6383917201 v rámci výzkumné aktivity *Programovatelný hardware* [3] sdružení Cesnet z.s.p.o.

REFERENCE

- [1] Braun, F.; Lockwood, J.; Waldvogel, M.: IEEE Micro. Protocol Wrappers for Layered Network Packet Processing in Reconfigurable Hardware, 1 2002: s. 66–74, ISSN 0272-1732.
- [2] Dedek, T.; Martínek, T.; Marek, T.: Field Programmable Logic and Applications, 2007. FPL 2007. International Conference on. In High Level Abstraction Language as an Alternative to Embedded Processors for Internet Packet Processing in FPGA, 2007, ISBN 978-1-4244-1060-6, s. 648–651.
- [3] WWW stránka projektu Liberouter. [online], [cit. 2008-02-19]. URL <http://www.liberouter.org/>